

IMAGE DATA TRANSMITTING DEVICE

Publication number: JP2002281079 (A)

Publication date: 2002-09-27

Inventor(s): HISHIKURA HIROBUMI +

Applicant(s): VICTOR COMPANY OF JAPAN +

Classification:

- international: **G06F12/00; G06F13/38; G06F9/46; G06F9/48; H04J3/00; H04L12/56; G06F12/00; G06F13/38; G06F9/46; H04J3/00; H04L12/56;** (IPC1-7): G06F12/00; G06F13/38; G06F9/46; H04J3/00; H04L12/56

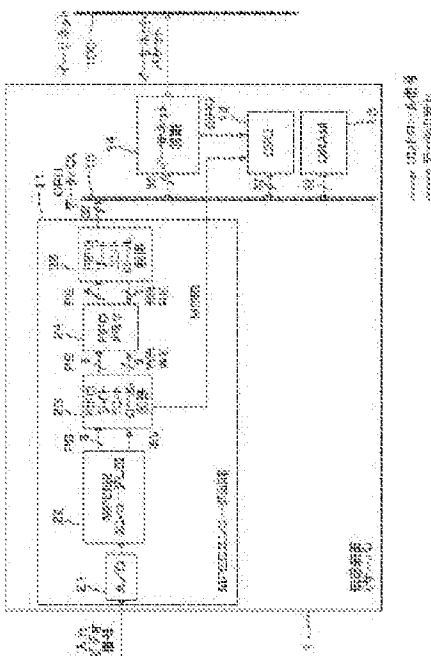
- European:

Application number: JP20010081297 20010321

Priority number(s): JP20010081297 20010321

Abstract of JP 2002281079 (A)

PROBLEM TO BE SOLVED: To provide an easily constitutable image data transmitting device by using an LSI for information compression processing which is not mounted with any interface function under the consideration of its connection to an external memory. **SOLUTION:** Image data to which information compression processing is performed by an MPEG2 encoder LSI 22 are stored through an FIFO write control circuit 23 in an FIFO memory 24. When data quantity stored in the FIFO memory 24 reaches prescribed quantity, an FIFO write control circuit 23 supplies an interrupt signal MIRQ to a CPU 12. The CPU 12 starts the interruption processing, and reads data stored in the FIFO memory 24 through an FIFO read control circuit 25, and carries out processing for adding a header to a necessary protocol. The processed data are transmitted through an Ethernet (registered trademark) circuit 14 to the Ethernet.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-281079
(P2002-281079A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. ⁷	識別記号	F I	データシート [*] (参考)
H 0 4 L 12/56	2 3 0	H 0 4 L 12/56	2 3 0 Z 5 B 0 6 0
G 0 6 F 9/46	3 1 0	G 0 6 F 9/46	3 1 0 F 5 B 0 7 7
	5 9 4	12/00	5 9 4 5 B 0 9 8
	3 1 0	13/38	3 1 0 D 5 K 0 2 8
H 0 4 J 3/00		H 0 4 J 3/00	M 5 K 0 3 0
審査請求 未請求 請求項の数 3 O L (全 12 頁)			

(21) 出願番号 特願2001-81297(P2001-81297)

(22) 出願日 平成13年3月21日 (2001.3.21)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 菱倉 博文

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100103119

弁理士 新井 孝治

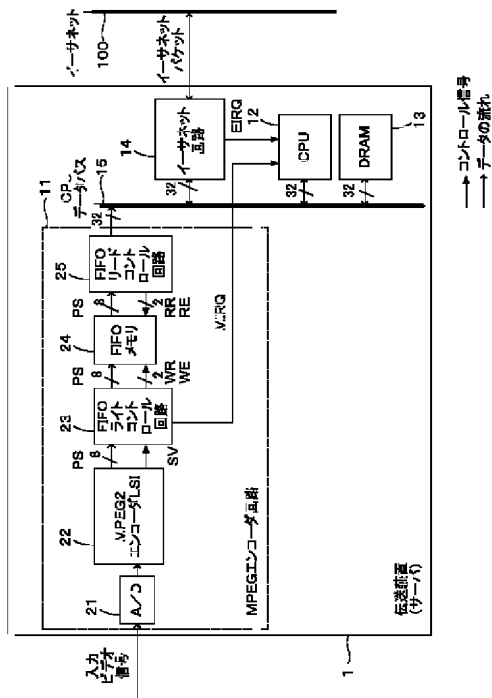
最終頁に続く

(54) 【発明の名称】 画像データ伝送装置

(57) 【要約】

【課題】 外部メモリとの接続を考慮したインターフェース機能を搭載していない情報圧縮処理用LSIを用いて容易に構成可能な画像データ伝送装置を提供する。

【解決手段】 MPEG2エンコーダLSI 22により情報圧縮処理が施された画像データは、FIFOライトコントロール回路23を介してFIFOメモリ24に格納される。FIFOライトコントロール回路23は、FIFOメモリ24に格納されたデータ量が所定量に達すると、CPU12に対して割り込み信号MIRQを供給する。CPU12は、割り込み処理を開始し、FIFOリードコントロール回路25を介してFIFOメモリ24に格納されたデータを読み出し、必要なプロトコルヘッダを付加する処理を行う。該処理後のデータがイーサネット（登録商標）回路14を介してイーサネット上に送出される。



【特許請求の範囲】

【請求項1】 動画像データに対して情報圧縮処理を施す情報圧縮手段を備え、該情報圧縮処理後の画像データをネットワークに送出する画像データ伝送装置において、前記情報圧縮手段の出力データを一時的に記憶する記憶手段と、該記憶手段へのデータの書き込み及び該記憶手段からのデータの読み出しを制御するメモリ制御手段と、前記画像データの送出のソフトウェア制御を行う演算処理手段とを備え、前記メモリ制御手段は、前記記憶手段に書き込まれたデータの量が所定量に達する毎に前記演算処理手段に対して割り込み要求信号を出力し、前記演算処理手段は、該割り込み要求信号に応じて割り込み処理を開始し、前記メモリ制御手段を介して前記記憶手段に書き込まれたデータを読み出し、必要なプロトコルヘッダを付加する処理を行うことを特徴とする画像データ伝送装置。

【請求項2】 前記メモリ制御手段は、前記記憶手段に対するデータの書き込みを制御する書き込み制御手段と、前記記憶手段からのデータの読み出しを制御する読み出し制御手段とからなり、前記書き込み制御手段が前記記憶手段に書き込まれるデータ量を監視して前記割り込み要求信号を出力し、前記読み出し制御手段が前記演算処理手段からの指示に応じて前記記憶手段に書き込まれたデータの読み出し動作を行うことを特徴とする請求項1に記載の画像データ伝送装置。

【請求項3】 前記メモリ制御手段は、前記記憶手段に書き込まれたデータ量が1パケット分のデータ量に達する毎に、前記演算処理手段に対して割り込み要求信号を出力することを特徴とする請求項1または2に記載の画像データ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イーサネットやファーストイーサネットなどのLAN (Local Area Network) に画像データを送出する画像データ伝送装置に関し、特に、カメラで撮影した動画像などの連続するストリームデータをリアルタイムで送出するものに関する。

【0002】

【従来の技術】ネットワーク画像伝送システムは、図7に示すように、伝送装置(サーバ)101と、受信装置(クライアント)201と、これらを相互に接続するネットワークバス(例えばイーサネットのネットワークバス、以下「イーサネット」という)100とで構成される。サーバ101は、カメラで撮影した映像信号をMPEG (Motion Picture Expert Group) 1若しくはMPEG 2で圧縮しパケット化してイーサネット100に送出する。クライアント201では、このデータを受信し

て伸長し、表示モニタ301に表示する。以下にサーバ101の構成を説明する。

【0003】(1) 伝送装置(サーバ)101の構成図8は、サーバ101の回路構成を示したものである。サーバ101は、入力ビデオ信号をMPEG 2に(またはMPEG 1)に準拠した情報圧縮処理を行うMPEG エンコーダ回路111と、この圧縮されたデータ(MPEG 2: プログラムストリームPS、MPEG 1: システムストリームまたはエレメンタリストリーム)をイーサネット100に送出するイーサネット回路114と、ソフトウェア処理を行い全体的な制御を行うCPU (Central Processing Unit) 112、DRAM (Dynamic Random Access Memory) 113と、データバス115とで構成される。

【0004】このうちMPEGエンコーダ回路111は、主にA/D変換器(シンクセパレータ、同期回路を含む)121と、MPEG 2エンコーダLSI 122と、FIFO (First In First Out) メモリ123とで構成される。

(2) ビデオデータの流れ

ここでは、入力されたビデオ信号がイーサネット100に送出されるまでの過程を簡単に説明する。

【0005】図8に示すサーバ101の回路構成において、入力されたビデオ信号は、ディジタルデータに変換された後、MPEG 2エンコーダLSI 122にて圧縮され、プログラムストリームPSの形式で出力される。このプログラムストリームPSは、一旦FIFOメモリ123に保持され、CPU 112の制御によりデータバス115を介してDRAM 113に書き込まれる。更にここでUDP (User Datagram Protocol) やIP (Internet Protocol) のヘッダなどの情報が付加されてイーサネット回路114に送られ、パケット毎にイーサネット100上に送出される。以上がサーバ101におけるビデオデータの流れである。

【0006】(3) FIFOメモリ123の書き込み・読み出し動作

ここでは、MPEGエンコーダ回路111のFIFOメモリ123の書き込み・読み出し動作について説明する。MPEG 2エンコーダLSI 122から出力されたプログラムストリームPSは、同LSI 122から出力されるリトリセット信号WRやライトイネーブル信号WEによって制御され、FIFOメモリ123に書き込まれる。

【0007】FIFOメモリ123に書き込まれたデータは、MPEG 2エンコーダLSI 122から出力されるリードリセット信号RRやリードイネーブル信号REの制御により読み出される。以下に、FIFOメモリ123の読み出し動作について、図9のタイミングチャートも参照して説明する。

【0008】図9(a)に示されたフレームパルスFP

は、入力ビデオ信号のフレーム周期で切り替わる信号である。MPEG2エンコーダLSI122は、このフレームパルスFPからMPEG割り込み要求パルスMIRQを生成し、出力している。そして、このMPEG割り込み要求パルスMIRQは、CPU112のハードウェア割り込み端子に入力されており、CPU112に対し、1フレーム期間に1回ハードウェア割り込みを要求する。割り込みが発生すると、図10(a)に示すMPEG割り込みルーチンが実行され、CPU112はCPUデータバス115及びADXを介してMPEG2エンコーダLSI122にアクセスし、LSI内部のレジスタをセットすることで、リードイネーブル信号REがアクティブとなり読み出し動作が開始される。

【0009】CPU112は、1回の割り込み処理で1つのピクチャ（Iピクチャ、PピクチャまたはBピクチャのいずれか）を構成するデータ数だけFIFOメモリ123から読み出している。1つのピクチャを構成するデータ量はフレームごとに異なるため、MPEG2エンコーダLSI122ではFIFOメモリ123に書き込まれたデータ数を、図9に示すように、フレーム周期の先頭で内部レジスタ（以下「FIFOリードレジスタ」という）にX1バイト、X2バイト、X3バイト…というように書き込む仕組みを備えている。

【0010】(4) ソフトウェアの動作
FIFOメモリ123に保持されたプログラムストリームPSを読み出してイーサネットパケットを生成するまでのソフトウェアの動作を、図9のタイミングチャートと図10のフローチャートに沿って説明する。

【0011】入力ビデオ信号のフレーム周期で発生するハードウェア割り込み（MPEG割り込み）要求MIRQにより、図10(a)に示すMPEG割り込みルーチン（フェーズA1、図9(d)参照）がスタートする。ステップS101では、MPEG2エンコーダLSI122の内部レジスタであるFIFOリードレジスタの内容（図9(b)のX1バイト）を読み、現在のフレーム期間内に読み出すべきデータのバイト数を得る。

【0012】ステップS102では、このバイト数だけFIFOメモリ123からデータを読み出し、DRAM113上に確保したMPEGエリアに書き込む。ステップS103では、MPEG送信アプリケーション（図10(b)）をコールし、MPEG割り込みルーチンを終了する。

【0013】ステップS103によりMPEG送信アプリケーションのフェーズB1（図9(e)参照）がスタートする。図11は、プログラムストリームPSからパケットを生成する手順を示したものであり、図10とともに参照する。

【0014】図10(b)のステップS111では、図11に示すように、DRAM113のMPEGエリアから1460バイトのデータ（最後に読み出すデータは、

1460バイト以下の場合がある）を読み出し、8バイトのUDPヘッダと20バイトのIPヘッダを付加する（図11(b)(c)）。

【0015】次いでこのデータをイーサネット回路114のメモリに書き込み、送信開始手続きを行う（ステップS112）。この後、イーサネット回路114によるハードウェア処理となる。更にこのデータに14バイトのイーサネットヘッダが付加され（図11(d)）、1502バイトのパケットになる。このパケットがイーサネット102に送り出される。

【0016】図10(b)のステップS113では、DRAM113のMPEGエリアに書き込まれたデータがあるかどうかチェックし、データが残っているならステップS111に戻り、ステップS111～S113の処理を繰り返す。このように、イーサネット回路114は、連続したデータをパケット（＝1502バイト）に分割して順次イーサネット100に送出する。

【0017】ステップS113で、DRAM113のMPEGエリアから読み出すデータが無くなった場合は、MPEG送信アプリケーションを終了する。MPEG送信アプリケーションが終了すると、イーサネット回路114では内部のメモリに複数のパケットが保持されており、このパケットをすべて送信し終わると、イーサネット回路114はCPU112にハードウェア割り込み要求（以下「イーサネット割り込み要求」という）FIRQを出し、再びソフトウェア処理に移る。この時、図10(c)に示すイーサネット割り込みルーチンがコールされ、以下の処理が行われる（フェーズC1がスタートする（図9(g)参照））。

【0018】ステップS121では、送信終了割り込みかどうか判別し、送信終了割り込みでないときは、直ちに処理を終了する。送信終了割り込みであるときは、イーサネット回路114に対し、送信終了手続きを行い（ステップS122）、パケット送信の時に使用していたイーサネット回路114のメモリをクリアし（ステップS123）、イーサネット割り込みルーチンを終了する。

【0019】以上が1フレーム期間内に行う処理である。次のフレームの割り込みが発生すると、MPEG割り込みルーチンのフェーズA2がスタートし、同様にステップS101から処理を行う。このようなソフトウェア処理により、MPEG2エンコーダLSI122から随時出力されたプログラムストリームPSがパケット化され、イーサネット100に送り出される。

【0020】

【発明が解決しようとする課題】上記サーバ101では、FIFOメモリ123のリセット信号及びイネーブル信号の出力やデータのタイミング調整などの制御は、すべてMPEG2エンコーダLSI122が行っている。また、FIFOメモリ123に書き込まれたデータ

数は、同LSIに内蔵されたFIFOリードレジスタに保存されているため、CPU112はこのFIFOリードレジスタにアクセスすることで、容易にFIFOメモリ123に保持されているデータ量を知ることができ、これにより、書き込まれたデータの数だけ読み出すことができるため、データを壊さずに送信することができる。

【0021】しかし、市販されている多くのMPEGエンコーダLSIは、これらのFIFOメモリとの接続を考慮したインターフェース機能が搭載されていないため、上記サーバ101のようなCPUを用いた組み込み機器にそのまま実装することはできない。

【0022】本発明はこの点に着目してなされたものであり、外部メモリとの接続を考慮したインターフェース機能を搭載していない情報圧縮処理用LSIを用いて容易に構成可能な画像データ伝送装置を提供することを目的とする。

【0023】

【課題を解決するための手段】上記目的を達成するため請求項1に記載の発明は、動画像データに対して情報圧縮処理を施す情報圧縮手段を備え、該情報圧縮処理後の画像データをネットワークに送出する画像データ伝送装置において、前記情報圧縮手段の出力データを一時的に記憶する記憶手段と、該記憶手段へのデータの書き込み及び該記憶手段からのデータの読み出しを制御するメモリ制御手段と、前記画像データの送出のソフトウェア制御を行う演算処理手段とを備え、前記メモリ制御手段は、前記記憶手段に書き込まれたデータの量が所定量に達する毎に前記演算処理手段に対して割り込み要求信号を出力し、前記演算処理手段は、該割り込み要求信号に応じて割り込み処理を開始し、前記メモリ制御手段を介して前記記憶手段に書き込まれたデータを読み出し、必要なプロトコルヘッダを付加する処理を行うことを特徴とする。

【0024】請求項2に記載の発明は、請求項1に記載の画像データ伝送装置において、前記メモリ制御手段は、前記記憶手段に対するデータの書き込みを制御する書き込み制御手段と、前記記憶手段からのデータの読み出しを制御する読み出し制御手段とからなり、前記書き込み制御手段が前記記憶手段に書き込まれるデータ量を監視して前記割り込み要求信号を出力し、前記読み出し制御手段が前記演算処理手段からの指示に応じて前記記憶手段に書き込まれたデータの読み出し動作を行うことを特徴とする。

【0025】請求項3に記載の発明は、請求項1または2に記載の画像データ伝送装置において、前記メモリ制御手段は、前記記憶手段に書き込まれたデータ量が1パケット分のデータ量に達する毎に、前記演算処理手段に対して割り込み要求信号を出力することを特徴とする。

【0026】

【発明の実施の形態】以下本発明の実施の形態を図面を参照して説明する。

(第1の実施形態)図1は本発明の一実施形態にかかる画像データ伝送装置の構成を示すブロック図である。図1の示す伝送装置(サーバ)1は、入力ビデオ信号をMPEG2に準拠した情報圧縮処理を行うMPEGエンコーダ回路11と、この圧縮されたデータ(プログラムストリームPS)をイーサネット100に送出するイーサネット回路14と、ソフトウェア処理を行い全体的な制御を行うCPU(Central Processing Unit)12、DRAM(Dynamic Random Access Memory)13と、データバス15とで構成される。

【0027】MPEGエンコーダ回路11は、入力ビデオ信号をディジタルデータに変換するA/D変換器(シンクセパレータ、同期回路を含む)21と、MPEG2に準拠した情報圧縮処理を行うMPEG2エンコーダLSI22と、FIFO(First In First Out)メモリ24と、FIFOメモリ24へのデータの書き込み制御を行うFIFOライトコントロール回路23と、FIFOメモリ24からのデータ読み出し制御を行うFIFOリードコントロール回路25とを備えている。MPEG2エンコーダLSI22は、FIFOメモリ24との間でデータの書き込み及び読み出しを行うためのインターフェースを備えていないものであるため、FIFOライトコントロール回路23及びFIFOリードコントロール回路24が設けられている。

【0028】コントロール回路23及び25が、1)FIFOメモリ24のリセット及びイネーブル信号WR、WE、RR、及びREの生成と出力、2)FIFOメモリ24内のデータ量の管理、3)CPU12に対する割り込み要求パルスMIRQの生成と出力、4)データのタイミング調整などを行うことにより、MPEG2エンコーダLSI22は、FIFOメモリ24を介してCPU12と接続することができる。

【0029】以下に、コントロール回路23及び25についてより具体的に説明する。FIFOライトコントロール回路23は、図1に示すようにFIFOメモリ24の書き込み側(入力側)に配置され、MPEG2エンコーダLSI22から出力されるプログラムストリームPSを受け取り、FIFOメモリ24に書き込むためのタイミングが調整される。

【0030】図2は、MPEG2エンコーダLSI22から出力されるストリームバリッド信号SVからイーサネットパケットが送出されるまでのタイミング関係を示すタイミングチャートである。図2(a)のストリームバリッド信号SVは、MPEG2エンコーダLSI22からプログラムストリームPSが8ビット出力される毎に、高レベルになる信号である。FIFOライトコントロール回路23は、このストリームバリッド信号SVをカウントするライトカウンタを備えており、これにより

FIFOメモリ24に書き込まれたデータのバイト数（データ量）を監視している。

【0031】ライトカウンタは、同図（b）に示すように、ストリームバリッド信号SVのカウントを行い、1460バイトまでカウント動作を行う。FIFOライトコントロール回路23は、ライトカウンタによるカウント動作と同時に、ライトイネーブル信号REをアクティブ（図2では低レベル）にして、FIFOメモリ24にデータを書き込んでいく（同図（d））。1460バイトの書き込みが終了すると、割り込み要求パルスMIRQが出力され、CPU12に対してハードウェア割り込みが要求される（同図（e））。

【0032】割り込み要求信号MIRQがアクティブになるとソフトウェア処理が始まる。CPU12により、MPEG割り込み処理ルーチンが実行され（同図（f））、FIFOメモリ24に書き込まれたデータが読み出される。割り込み要求は1460バイトごとに発生することになるが、これは図11で示したように1パケットを1502バイトで送るために必要なデータ量である。本実施形態では、MPEG割り込み処理ルーチンが1回実行される毎に、1パケットのデータが送信される（同図（j））。

【0033】FIFOリードコントロール回路25は、図1に示すようにFIFOメモリ24の読み出し側（出力側）に配置されている。MPEG割り込み処理が実行されると、CPU12は図示しないアドレスバスを介してFIFOリードコントロール回路25にアクセスし、FIFOメモリ24に格納されたデータの読み出しを要求する。これを受けたFIFOリードコントロール回路25は、1460バイトだけデータを読み出すためにリードイネーブル信号REを出力する（図2（h）参照）。FIFOメモリ24から読み出されたデータは、CPU12の受け取れるタイミングに調整されデータバス15を介してCPU12に渡される。

【0034】次に、ソフトウェアの動作を図2のタイミングチャート及び図3のフローチャートに沿って説明する。図2に示すように、FIFOメモリ24にデータが1460バイト書き込まれた時、つまりFIFOライトコントロール回路23のライトカウンタが1460となった時に、割り込み信号MIRQがアクティブになり、ハードウェア割り込みが発生する。これにより、CPU12より、MPEG割り込みルーチンが実行され、フェーズA1がスタートする（図2（f）参照）。

【0035】図3のステップS11では、DRAM13に格納されるリードリセット完了フラグFRRCの値が「0」か否かを判別する。フラグFRRCが「0」であるときは、はじめてMPEG割り込みルーチンが実行されることを示している。この時、FIFOメモリ24の読み出しアドレスの位置は不定となっているため、リセット動作を行う（ステップS12）。実際には、CPU

12が図示しないアドレスバスを介してFIFOリードコントロール回路25にアクセスし、リードリセット信号RRをアクティブにする（図2（g）参照）。

【0036】一方フラグFRRCが「1」であるときは、FIFOメモリ24をリセットする必要がないのでステップS14に進む。ステップS13では、2回目以降のMPEG割り込みルーチンでリードリセットを行わないようにするため、フラグFRRCを「1」にセットする。

【0037】ステップS14では、FIFOリードコントロール回路25にアクセスして、リードイネーブル信号REをアクティブにし、FIFOメモリ24から1460バイトのデータを読み出す（図2（h）参照）。ステップS15では、FIFOメモリ24から読み出したデータを、DRAM13上に確保したMPEGエリアに書き込み、次いでMPEG送信アプリケーション（図3（b））をコールし、MPEG割り込みルーチンを終了する。

【0038】次に、図3（b）に示すMPEG送信アプリケーションのフェーズB1がスタートする（図2（i）参照）。ステップS21では、図11に示すように、DRAM13のMPEGエリアから1460バイトのデータを読み出し、8バイトのUDPヘッダと20バイトのIPヘッダを付加する。

【0039】ステップS22では、このデータをイーサネット回路14のメモリに書き込み、送信開始手続きを行う。この後、イーサネット回路14によるハードウェア処理となる。すなわち、イーサネット回路14のメモリに書き込まれたデータに14バイトのイーサネットヘッダが付加され、1502バイトのパケットが生成され、このパケットがイーサネット100に送り出される（図2（j））。ステップS22実行後、MPEG送信アプリケーションを終了する。

【0040】一方、ハードウェアでは、ステップS22の処理によりイーサネット回路14の内部メモリにパケットが保持されるようになる。このパケットの送信が終了すると、イーサネット回路14はCPU12に対しハードウェア割り込み要求パルスEIRQを出し、再びソフトウェア処理に移る。

【0041】この時、イーサネット割り込みルーチン（図3（c））がコールされ、フェーズC1がスタートする（図2（k）参照）。ステップS31では、送信終了割り込みかどうか判別し、送信終了割り込みでないときは直ちに処理を終了する。送信終了割り込みであるときは、イーサネット回路14に対し、送信終了手続きを行い（ステップS32）、パケット送信時に使用していたイーサネット回路13のメモリをクリアし、イーサネット割り込みルーチンを終了する。

【0042】以上がFIFOライトコントロール回路23のライトカウンタが1460カウント終了するごとに

行う処理である。そして、次の1460カウントで出力される割り込み信号MIRQにより、再び割り込みが発生しMPEG割り込みルーチンが実行され、図2(f)のフェーズA2がスタートして同様にステップS11から処理を行う。

【0043】図1のサーバ1では、MPEG圧縮したデータにUDP/IPのヘッダを付加してパケットをネットワークに送出しているが、これらは主にCPU12上で動作するソフトウェアで処理されるため、MPEG2エンコーダLSI22から出力された圧縮データを、CPU12の要求に応じたタイミングでCPU12に受け渡す必要がある。通常、このような場合、MPEG2エンコーダLSI22の出力端にFIFOメモリ24を置いて、一時的にデータを保持することでCPU12とのタイミング調整を行う。

【0044】本実施形態では、MPEG2エンコーダLSI22は、FIFOメモリに対するインターフェース機能を持っていないので、FIFOメモリ24の前後にインターフェース回路として、FIFOライトコントロール回路23及びFIFOリードコントロール回路25を設け、FIFOメモリ24の書き込み状況を監視し、一定量（本実施形態では1パケット分のデータ量である1460バイト）のデータが書き込まれると、ハードウェア割り込みMIRQを発生させてFIFOメモリ24の読み出し操作を行うようにした。これにより、FIFOメモリ24へのインターフェース機能を持たないMPEG2エンコーダLSI22を、容易にシステムに組み込むことができる。

【0045】また1パケット（1460バイト）ずつFIFOメモリ24からデータを読み出してイーサネットに送出することにより、ネットワークで衝突が発生する可能性が低下し、ネットワークの効率を向上させることができる。すなわち、ネットワークが混雑している場合に、一度に多くのパケットを送信すると、他のパケットと衝突してパケットロスとなり、データが損失する可能性がある。したがって、1パケットずつ間隔をあけて送信した方が、衝突の発生を抑えることができ、ネットワークの効率を向上させることができる。

【0046】（第2の実施形態）図1に示す構成を採用する場合、比較的処理速度の速いCPU（32ビットRISC CPU以上）を使用したシステムでは問題はないが、16ビットCPUのように処理速度が遅いものを使用した場合、以下のような不具合が発生する。

【0047】すなわち第1の実施形態では、FIFOメモリ24の読み出しから各プロトコルのヘッダ付加までのプロセスを、1パケット（データ量は1460バイト）ごとに行っていた。つまり、MPEGハードウェア割り込みMIRQが発生するとMPEG割り込みルーチンが実行され、これに続いてMPEG送信アプリケーション、イーサネット割り込みルーチンの順にプロセスの

切り替えが行われるため、CPUにかかる負荷は増大する。そして、最悪の場合、次のMPEG割り込み要求MIRQが発生するまでに処理が間に合わなくなり、送信するデータが途中で途切れてしまう。その結果、クライアント側では、この壊れたデータを受信してデコードするため、画像の乱れが発生する。

【0048】また、MPEG2などのビットレートが高いデータを送信する場合、更にCPUの負荷は増大するため、このような問題が頻繁に発生してしまう。そこで、本実施形態では、1回のMPEG割り込み要求発生時に、10パケット分に相当する14600バイトのデータをFIFOメモリ24から読み出すようにしている。

【0049】図4は、本実施形態にかかる画像データ伝送装置の構成を示すブロック図である。この装置は、図1に示すMPEGエンコーダ回路11に代えて、MPEGエンコーダ回路11aが設けられている。MPEGエンコーダ回路11aは、図1に示すFIFOライトコントロール回路23及びFIFOリードコントロール回路25が1つにまとめられたFIFOコントロール回路26を備えており、FIFOコントロール回路26が、FIFOメモリ24の書き込み及び読み出しの制御を行う。FIFOライトコントロール回路26は、ライトカウンタに加え、パケット数をカウントするパケットカウンタを有する。

【0050】FIFOライトコントロール回路26のライトカウンタは、図5(b)に示すように、1460バイトまでカウントし、パケットカウンタは同図(c)に示すように、ライトカウンタが1460バイトになると1だけ更新する。パケットカウンタが10になると、FIFOメモリ24に1460×10=14600バイトのデータが書き込まれたことになり、この時にMPEG割り込み信号MIRQをアクティブにする（同図(f)参照）。これにより、MPEG割り込みルーチンが実行され、次に続くMPEG送信アプリケーション、及びイーサネット割り込みルーチンといったプロセス切り替えを1ターン行うことで、10パケット分のデータを送信することができる。第1の実施形態と比較すると、MPEG割り込みMIRQの発生回数とプロセス切り替えの回数を1/10に抑えることができ、CPUの負荷を大幅に軽減することができる。

【0051】次に本実施形態におけるソフトウェアの動作を、図5のタイミングチャートと図6のフローチャートに沿って説明する。FIFOメモリ24にデータが14600バイト書き込まれた時、つまりFIFOライトコントロール回路26のライトカウンタのカウント値が1460、かつパケットカウンタのカウント値が10になった時に、ハードウェア割り込みMIRQが発生し、図6(a)のMPEG割り込みルーチンのフェーズA1がスタートする（図5(f)(g)参照）。

【0052】図6(a)のMPEG割り込みルーチンのステップS11～S13及びステップS15, S16は、図3(a)に示すルーチンと同一である。本実施形態では、 $1460 \times 10 = 14600$ バイト分まとめて処理するので、ステップS14aでは、FIFOメモリ24から 1460×10 バイトのデータを読み出す。ステップS16により、図6(b)のMPEG送信アプリケーションのフェーズB1がスタートする(図5(j)参照)。

【0053】図6(b)のステップS21及びS22は、図3(b)に示すアプリケーションと同一である。そしてステップS23では、DRAM13のMPEGエリアに書き込まれたデータがあるかどうかをチェックし、データが残っているならステップS21に戻り、ステップS21～S23の処理を繰り返す。このように、連続したデータをパケット(=1502バイト)に分割して順次イーサネットに送出する(図5(k)参照)。DRAM13のMPEGエリアから読み出すデータが無くなった場合は、MPEG送信アプリケーションを終了する。

【0054】図6(c)のイーサネット割り込みルーチンは、図3(c)のルーチンと同一である。すなわち、10パケット分のデータ(14600バイト)の送信が終了すると、イーサネット回路14からハードウェア割り込み要求パルスEIRQが出力され、図6(c)のイーサネット割り込みルーチンのフェーズC1がスタートし(図5(l)参照)、送信終了割り込みの場合には、送信終了手続き及びイーサネット回路14のメモリのクリアが行われる。

【0055】以上が、FIFOライトコントロール回路26において[ライトカウンタ:1460カウント]かつ[パケットカウンタ:10カウント]ごとに行う処理である。そして、次の10パケット分のデータが書き込まれた時に出力されるMPEG割り込みパルスMIRQにより、再び割り込みが発生し、MPEG割り込みルーチンが実行され、図5(g)に示すフェーズA2が開始される。以後同様にステップS11から処理が実行される。

【0056】このような操作を繰り返すことによって、ハードウェア割り込みとプロセス切り替えの回数を大幅に減らすことができる。これによりCPU12の負荷を軽減させることができ、処理速度が遅いCPUを用いて、MPEG2などの転送レートが高いデータを伝送する場合に効果を発揮する。

【0057】なお、上述した第1の実施形態では、2つのメモリコントロール回路、すなわちFIFOライトコントロール回路23及びFIFOリードコントロール回路25を用いて、FIFOメモリ24に格納されたデータ量が1パケット分のデータ量に達する毎にデータの読み出し及びパケット送出を行うようにしたが、第2の実

施形態のように、複数パケット分をデータをまとめて送出するようにしてもよい。また、第2の実施形態では、単一のメモリコントロール回路、すなわちFIFOコントロール回路26を用いて、FIFOメモリ24に格納されたデータ量が10パケット分のデータ量に達する毎にデータの読み出し及びパケット送出を行うようにしたが、第1の実施形態のように、1パケットずつ送出するようにしてもよい。

【0058】

【発明の効果】以上詳述したように請求項1に記載の発明によれば、情報圧縮手段の出力データを一時的に記憶する記憶手段へのデータの書き込み及び該記憶手段からのデータの読み出しを制御するメモリ制御手段により、記憶手段に書き込まれたデータの量が所定量の達する毎に割り込み要求信号が出力され、画像データの送出のソフトウェア制御を行う演算処理手段により、割り込み要求信号に応じた割り込み処理が実行され、メモリ制御手段を介して記憶手段に書き込まれたデータが読み出され、必要なプロトコルヘッダが付加されるので、記憶手段との接続を考慮したインターフェース機能を搭載していない演算処理手段を用いて画像データ伝送装置を容易に構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかる画像データ伝送装置の構成を示すブロック図である。

【図2】図1に示す装置の動作を説明するためのタイミングチャートである。

【図3】図1のCPUで実行されるソフトウェア処理のフローチャートである。

【図4】本発明の第2の実施形態にかかる画像データ伝送装置の構成を示すブロック図である。

【図5】図4に示す装置の動作を説明するためのタイミングチャートである。

【図6】図4のCPUで実行されるソフトウェア処理のフローチャートである。

【図7】従来の画像データ伝送システムの構成を示すブロック図である。

【図8】図7の伝送装置の構成を示すブロック図である。

【図9】図8に示す装置の動作を説明するためのタイミングチャートである。

【図10】図8のCPUで実行されるソフトウェア処理のフローチャートである。

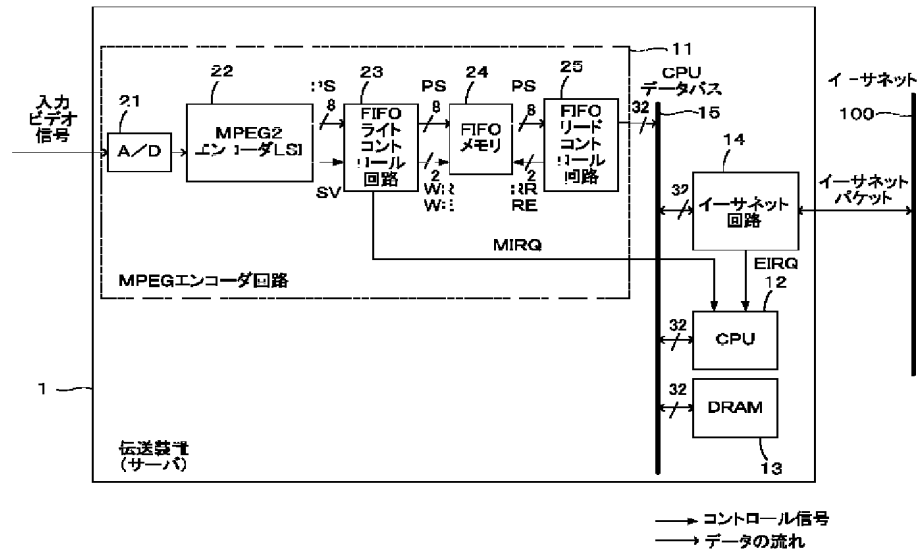
【図11】イーサネット上にデータを送出するデータの構成を説明するための図である。

【符号の説明】

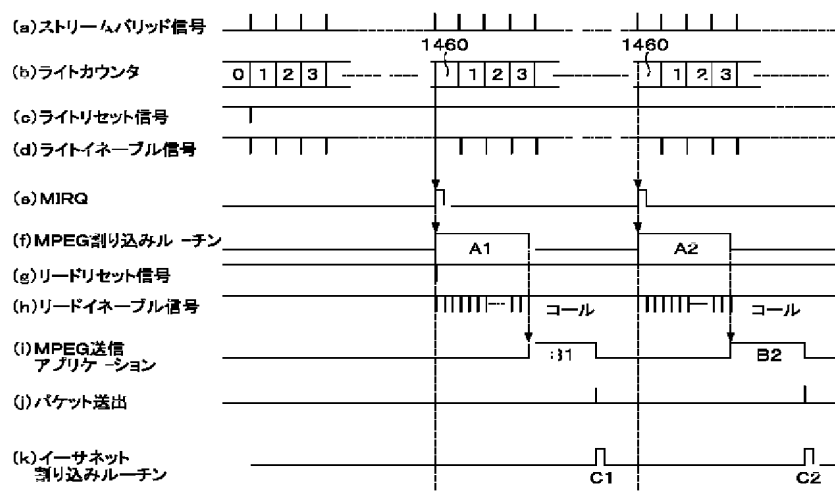
- 1 画像データ伝送装置
- 11 MPEGエンコーダ回路
- 12 CPU(演算処理手段)
- 13 DRAM

- | | |
|--------------------------------------|--------------------------------------|
| 14 イーサネット回路 | 24 FIFOメモリ(記憶手段) |
| 22 MPEG2エンコーダLSI(情報圧縮手段) | 25 FIFOリードコントロール回路(メモリ制御手段、読み出し制御手段) |
| 23 FIFOライトコントロール回路(メモリ制御手段、書き込み制御手段) | 26 FIFOコントロール回路(メモリ制御手段) |

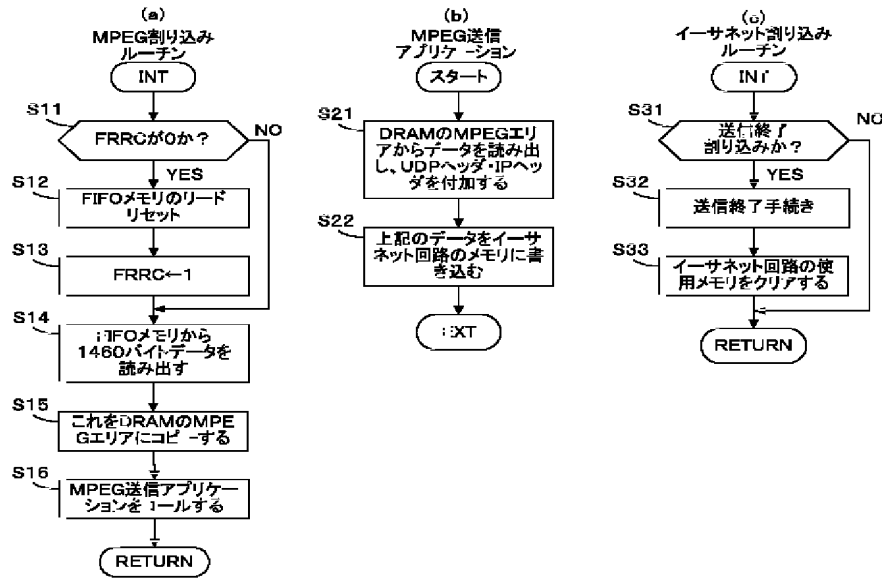
【図1】



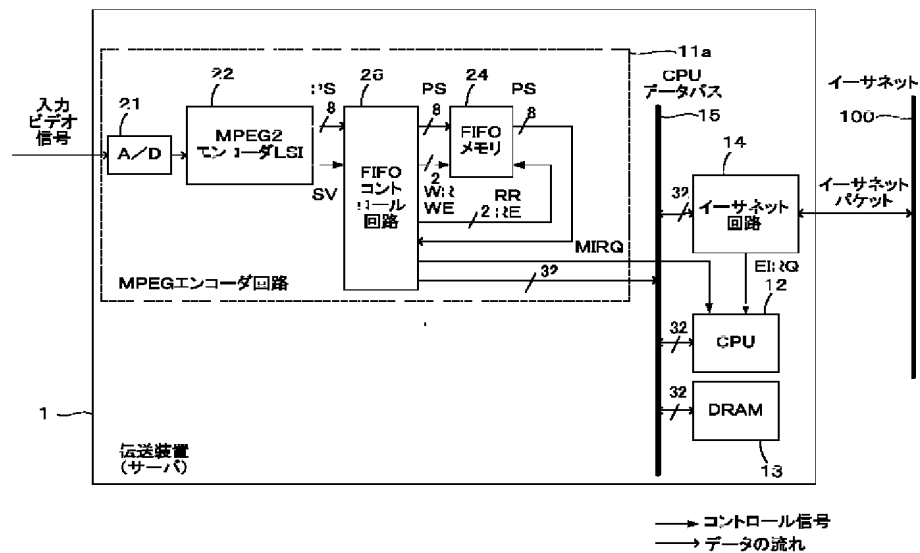
【図2】



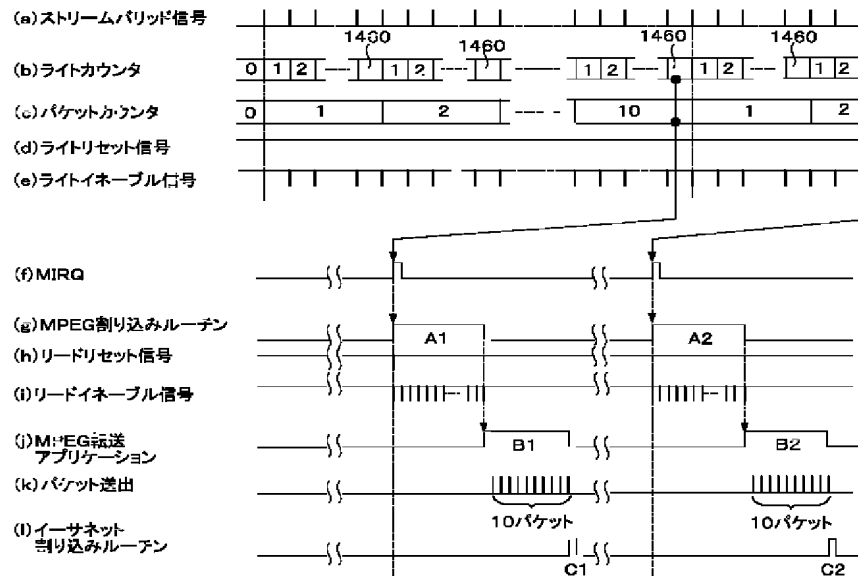
【図3】



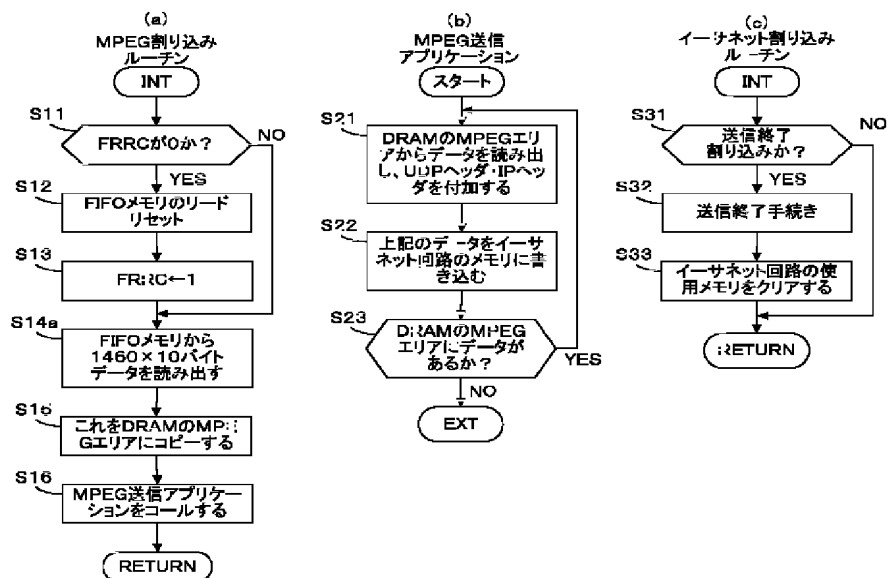
【図4】



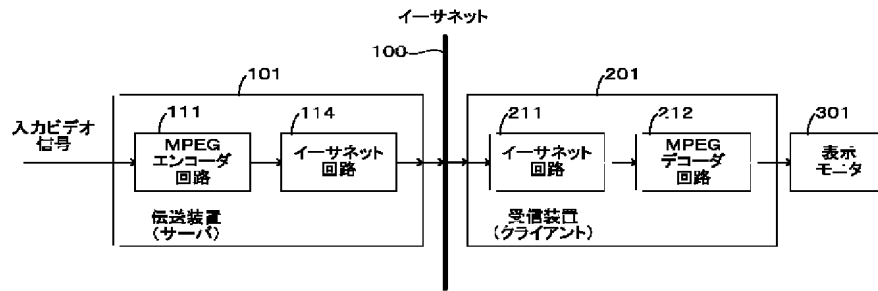
【図5】



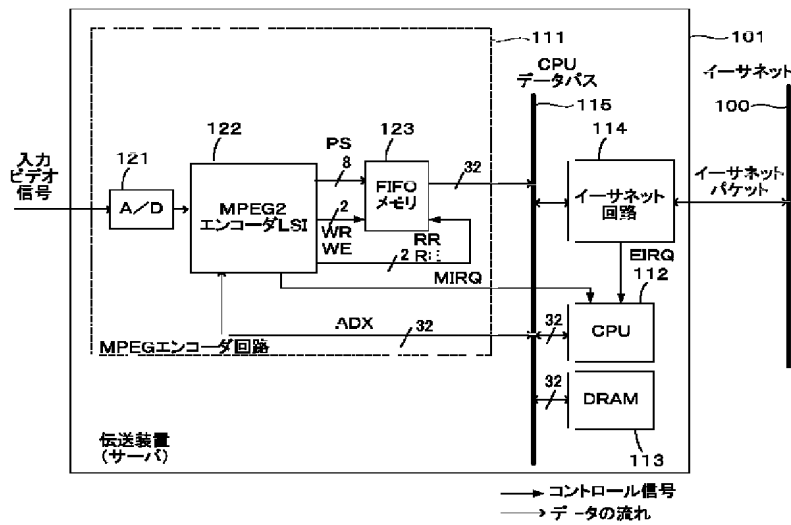
【図6】



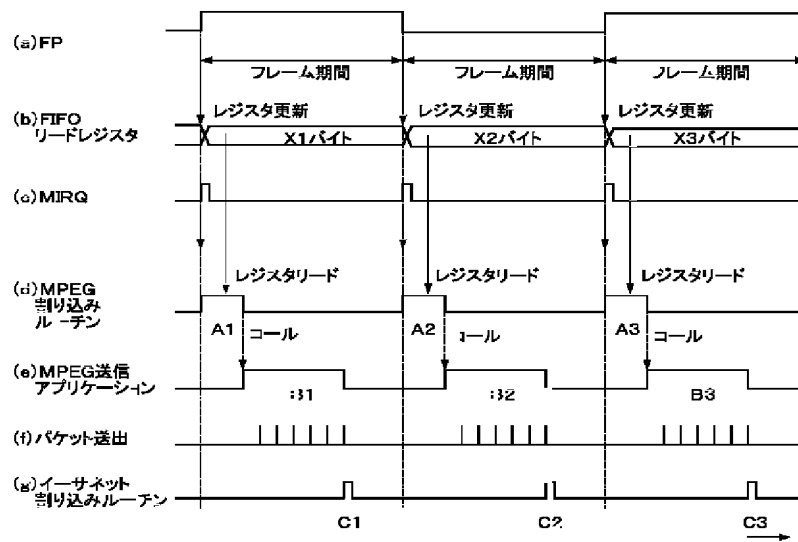
【図 7】



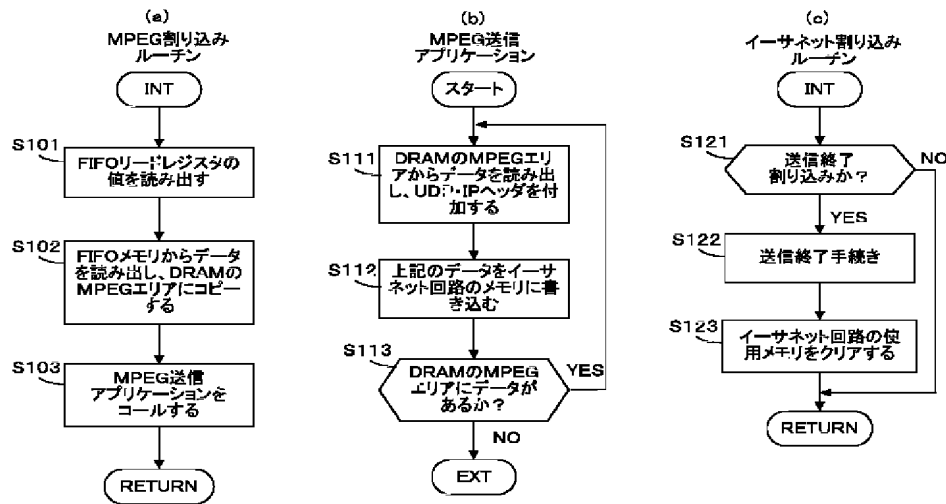
【図 8】



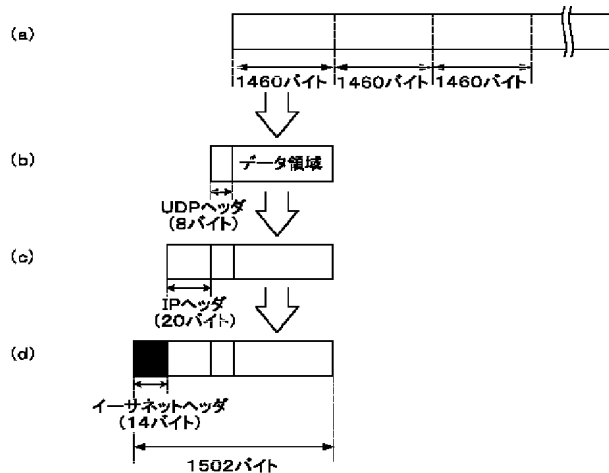
【図 9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5B060 AA14 AC07 AC13 AC19
 5B077 DD04 DD14 DD18 MM02
 5B098 AA09 AA10 BA01 BB01 FF02
 5K028 AA06 EE03 KK23 SS26
 5K030 GA04 HB02 HB28 HC14 KA02
 LA07 LE05 MB15